

Pre-Informe 3

Experiencia 3

Daniel Hebel Lobos
201673089-3

3.1 Investigación de conceptos

- a) **¿Qué es un lenguaje de descripción de hardware? ¿Qué lo diferencia de un lenguaje de programación?**

R:

Es un lenguaje especial en donde se define la estructura y operación de circuitos electrónicos. Esto nos permite ver qué es lo que pasa dentro de un circuito.

La principal diferencia es que en éste no se programa, si no que solo se modela el comportamiento de un circuito. Un programa al contrario de un modelo descriptivo, es ejecutable. Otra diferencia con los lenguajes de programación es que el lenguaje de descripción de hardware incluye de forma natural (explícitamente) la noción de tiempo.

- b) **Explique la funcionalidad de los tipos de variable wire, reg y logic, y cuales son sus diferencias. (HINT: Recordar que los registros dependen del CLK)**

R:

- **logic**: usado en System Verilog para declarar todas las variables, todas las redes de punto a punto, todos los puertos de output y los de input.
- **reg**: representa variables con capacidad de almacenar información.
- **wire**: representa conexiones estructurales entre componentes. No tienen capacidad de almacenamiento.

- c) **¿Cuál es la diferencia entre los operadores de asignación assign, ¡= y =, y en que secciones del modulo se utilizan?**

R:

- **assign = :** asignación a una conexión, fuera de un **always**.
- **¡=:** asignación sin bloqueo (non-blocking assignment), efectuada en cada subida del CLK, evaluada en forma paralela (no hay orden).
- **= :** asignación con bloqueo (blocking assignment), dentro de un **always** refuerza el orden secuencial.

d) Dada la siguiente expresión:

```
reg [15:0]g = 16'hA6B2;
```

Explique su estructura, que significa cada una de sus partes, y cuál es el equivalente binario del valor definido.

R:

La estructura es la siguiente:

[< Tamaño >]' [<signo>] / [<base>] [<valor>]

Interpretando esto podemos llegar a la conclusión de que el equivalente binario de la estructura es 1010 0110 1011 0010, ya que su valor en decimal es 42674 debido a que el valor almacenado en hexadecimal es A6B2 (positivo) y de 16 bits de tamaño.

e) Si consideramos el siguiente modulo:

...

Después de una subida del "clk", el registro "arr" resulta tener el valor binario 0111. Explique porque el delay y las asignaciones dentro del bloque always_ff influyen en este resultado.

R:

El delay sucede cuando first cambia, ya que second debería cambiar también debido al assign anterior, pero eso no pasa, por lo tanto tenemos delay, ya que si pasara, arr, tendría un valor distinto.

- reg[3 : 0]arr: Un registro de 4 bits definido como 0101
- reg first: Un registro de 1 bits definido como 0
- assignsecond= (first) : Al dato **wire** definido como second, se le asigna el negado de first, que está definido como 0, por lo tanto, 1.
- alwaysff@(posedge clk) begin: Mientras vaya cambiando el valor de clk, sucederá la siguiente instrucción. Cabe señalar que posedge significa positivo, es decir, cuando clk pasa de 0-1.
- arr(first) |= (~(arr[second])) : Se toma el bit "first" de arr, es decir, el primero; el 0, y se cambia por el negativo de second. En resumen, en el numero binario 0101 se intercambio el 0 por un 1, quedando finalmente 0111

3.2 Análisis de Código

Realice un ruteo del valor del output "n" después de 10 subidas del CLK
Defina usted el valor de entrada de 'r', y explícelo junto al ruteo.

x	y	z	n	m	s	r
00000000	01110111	000	01110111	001	0	000
00000010	01110110	001	01111000	010	1	000
00000110	01110100	010	01111010	011	1	000
00000110	01110100	011	01111010	100	1	000
00010110	01110100	100	10001010	101	1	000
00110110	01100100	101	10011010	110	1	000
01110110	01000100	110	10111010	111	1	000
01110110	01000100	111	10111010	000	1	000
01110110	11000100	000	00111010	001	1	000
01110100	11000101	001	00111001	010	1	000
01110100	11000101	010	00111001	011	1	000

3.3 Diseño de Módulo

Escriba un módulo en System Verilog para la función siguiente: Un contador de 5 bits que tenga como outputs la cuenta actual, y un booleano que indique con 1 si es que el numero actual se encuentra en la serie de Fibonacci, o con un 0 si no. Para el desarrollo de esta pregunta es obligatorio utilizar ModelSim al momento de escribir su código. Debe tomar una captura de pantalla de la simulación una vez el contador alcance su máximo valor, y presentarla junto al modulo escrito.

R:

Perdón, me encuentro fuera del país y no tengo como usar ModelSim ya que tengo un Mac. ¿Hay alguna forma de enviar esta parte después?.