Pre-Informe 3
INF-245

Carlos Badilla Castro
201773077-3

Pregunta 1

1. Es un lenguaje formal que permite describir la estructura y comportamiento de un circuito electrónico. Se diferencia de un lenguaje de programación en que cada expresión o instrucción corresponde a la operación de un bloque de circuito, además que es un lenguaje concurrente e incluye explícitamente la noción de tiempo.

2. Representan conexiones estructurales entre componentes, donde *reg* y *logic* tienen capacidad de almacenar información y *wire* no. Además *reg* solo se pueden manejarse en bloques de procedimiento *always* e *initial*, mientras que *wire* en declaraciones *assing*, y *logic* puede manejarse tanto en bloques de procedimiento como en declaraciones *assing*.

3. El operador *assing* se utiliza exclusivamente para modelar lógica combinacional, donde no se necesita de una lista de sensibilidad para realizar la asignación, para el = tampoco no se necesita de una lista de sensibilidad, pero si se puede usar en una, por otro lado el ¡= si lo necesita, el = y el ¡= en una bloque con una lista de sesibilidad se diferencian en que las asignaciones con = se evalúan inmediatamente y con ¡= se evalúan al final del bloque.

4. *reg* indica que se trata de una conexión, *[15:0]* que es un bus de 16 bits donde el más significativo es el 0, es decir, que está a la izquierda, *q* es como se llama la conexión, = indica que se le asignará un valor y *16'hA6B2* es el valor que se le asigna en hexadecimal, que tiene un valor en binario equivalente a 1010011010110010.

5. Influye debido a que la primera asignación dentro del *always* fue con = y la segunda con ¡=, esto quiere decir que la primera se evalúa al instante y la segunda al final del bloque, por lo tanto se evalúa antes la primera y como en esta se modifica una variable que se utiliza en la segunda, esto hace que diera un resultado distinto si se llegara a evaluar primero la segunda asignación.

Pregunta 2

Estado inicial:

- r = 000
- clk = 0
- n = 01110111

Núm. Subida clk	n
1	01110110
2	01110100
3	10000100
4	01110100
5	01010100
6	01010100
7	11010101
8	11011000
9	11011100
10	11011100

Pregunta 3

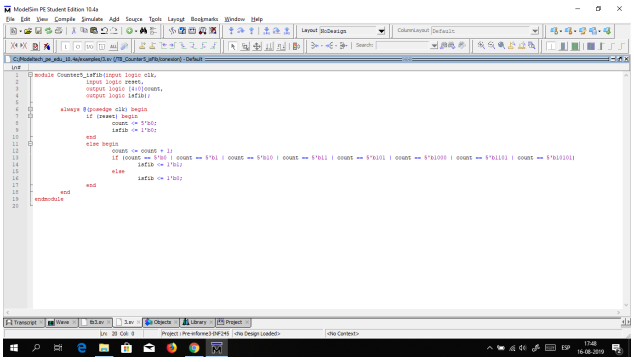

Figure 1: Módulo.

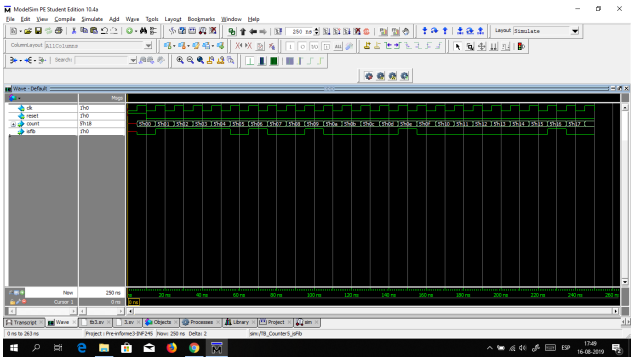

Figure 2: Simulación.