

Pre-Informe Experiencia 3

Laboratorio de Integracion Tecnologica

Gianni Carlini B.
201773105-2

Pregunta 1: Investigacion de Conceptos

a.

Los lenguajes de descripción de hardware son usados para modelar la arquitectura y comportamiento de sistemas electrónicos permitiendo documentar las interconexiones y el comportamiento de un circuito electrónico, sin necesidad de tener dependencia del hardware. Es el LDH es muy similar a un lenguaje de programación pero este no programa nada solo describe un hardware donde cada expresión o “instrucción” corresponde a la operación de un bloque de circuito electrónico contrario a un LP que sirven para programar una serie de instrucciones las cuales permitan que el procesador las ejecute.

b.

El tipo wire actúan como cables reales en los circuitos son de asignamiento continuo y solo tienen un valor cuando está activo u asignado por lo cual tampoco puede guardar valores.

El tipo reg mantiene sus valores (o almacena visto de otra forma) hasta que se les asigna otro valor, como un componente de hardware de registro.

Finalmente logic es la versión mejorada de la forma de reg en SystemVerilog, la cual puede ser usada en asignaciones continuas, puertas y módulos además de también se usa como variable si se le requiere.

c.

- assign : Es usada en las variables tipo wire o algún otro tipo de cable donde los datos pueden ser controlados continuamente con un valor el cual comprende una constante o un grupo de señales, al ser usado en lógica combinatorial este se usa fuera de los bloques de proceso.
- = : Conocida como asignación con bloqueo se usa dentro de un bloque (always o initial), la asignación de este se realiza al instante y si no se realiza posteriormente no podrían ejecutarse hasta que el bloque le asigne un valor.
- <= : llamada asignación sin bloqueo, en esta los valores no son visibles hasta que se haya procesado todo el bloque y en ese instante se asignan, comúnmente se utiliza para la asignación dentro de bloques always los cuales son sensibles al borde como se les dice.

d.

- reg : corresponde a la asignación de tipo registro.
- [15 : 0] : el tamaño de la variable la cual es de 16 bits.
- g : nombre de la variable.
- = : asignación con bloqueo de la variable.
- 16'hA6B2 : es el valor de la asignación en este caso se interpreta (tamaño)'(base)(valor) donde es de tamaño 16 en base hexadecimal y el valor asignado es A6B2 o en binario 1010011010110010.

e.

Al estar todo dentro de un bloque *always_ff* y tener asignaciones del tipo con y sin bloqueo se producira un delay donde la asignacion sin bloqueo se producira al finalizar el bloque y la con bloque aunque sea asignado inmediatamente no influye fuera de esta hasta la finalizacion, por lo cual al salir del bloque first tendra un valor de 1, arr de 0111 y second de 1 y justamente luego de esto se cambiara su valor con el assing del inicio.

Pregunta 2: Analisis deCodigo

Subidas Clock	X	Y	Z	n	m	s	r
Inicializacion	0000 0000	0111 0111 = 119	000	0111 0111 = 119	001 = 1	0	000
1 clk	0000 0000	0111 0110 = 118	001 = 1			1	
2 clk	0000 0000	0111 0100 = 116	010 = 2	0111 0110 = 118	010 = 2		
3 clock	0000 0000	0111 0100 = 116	011 = 3	0111 0100 = 116	011 = 3		
4 clock	0001 0000 = 16	0111 0100 = 116	100 = 4	0111 0100 = 116	100 = 4		
5 clock	0001 0000 = 16	0110 0100 = 100	101 = 5	1000 0100 = 132	101 = 5		
6 clock	0001 0000 = 16	0100 0100 = 68	110 = 6	0111 0100 = 116	110 = 6		
7 clock	0001 0000 = 16	0100 0100 = 68	111 = 7	0101 0100 = 84	111 = 7		
8 clock	0001 0011 = 17	1100 0100 = 196	000 = 0	0101 0100 = 84	000 = 0		
9 clock	0001 0011 = 19	1100 0101 = 197	001 = 1	1101 0101 = 213	001 = 1		
10 clock	0001 0111 = 23	1100 0101 = 197	010 = 2	1101 1000 = 216	010 = 2		
				1101 1100 = 220	011 = 2		

Pregunta 3: Diseño de Modulo

El contador esta definido en 5 bits por lo cual tomara los valores [0:31] de los cuales solo concuerdan con la serie de Fibonacci los valores 0,1,2,3,5,8,13,21 para los cuales mostrara un 1 el boleano.

contador sv

```

1 module contador(clk,contador,bool_f);
2   input logic clk; // clock
3   output logic[4:0] contador; // contador de output
4   output logic bool_f; // boleano de output
5   reg [4:0]i=0; // inicializador en 0
6   assign contador=i; //asignamos el valor a contador
7   assign bool_f= ((~contador[4])&(~contador[3])&(~contador[2]))| //A'B'C' +
      A'C'D'E' + A'CD'E + B'CD'E
8     ((~contador[4])&(~contador[2])&(~contador[1])&(~contador[0]))|
9     ((~contador[4])&(contador[2])&(~contador[1])&(contador[0]))|
10    ((~contador[3])&(contador[2])&(~contador[1])&(contador[0]));
11  always_ff@(posedge clk) begin
12    i <= i+1'b1; // sumamos 1 al contador
13  end
14 endmodule

```

Para el boleano se uso un mapa de karnaugh para los 32 bits adjutandolo:

Map

	$\overline{D}\overline{E}$	$\overline{D}E$	$D\overline{E}$	DE
$\overline{A}\overline{B}\overline{C}$	1	1	1	1
$\overline{A}\overline{B}C$	0	1	0	0
$\overline{A}B\overline{C}$	0	1	0	0
$\overline{A}BC$	1	0	0	0
$A\overline{B}\overline{C}$	0	0	0	0
$A\overline{B}C$	0	1	0	0
$AB\overline{C}$	0	0	0	0
ABC	0	0	0	0

Quedando los siguientes grupo y una ecuacion para el modelado:

Groups

(0,1,2,3)	$\overline{A}\overline{B}\overline{C}$
(0,8)	$\overline{A}\overline{C}\overline{D}\overline{E}$
(5,13)	$\overline{A}C\overline{D}E$
(5,21)	$\overline{B}C\overline{D}E$

$y = A\overline{B}C' + A'C\overline{D}E' + A'CDE + B'CDE$

