

Pre-Informe 3

Cristóbal Zambrano
201773005-6

3.1

- a) Un HDL es un lenguaje de programación especializado que se utiliza para definir la estructura, diseño y operación de circuitos electrónicos, y más comúnmente, de circuitos electrónicos digitales. Así los lenguajes de descripción de hardware hacen posible una descripción formal de un circuito electrónico. La mayor diferencia entre un HDL y un lenguaje de programación es que el HDL incluye explícitamente la noción del tiempo.
- b) -Wire: Representa conexiones estructurales entre componentes. No tienen capacidad de almacenamiento.
-Reg: Variables con capacidad de almacenar información
-Logic: SystemVerilog logic sirve para describir un tipo de dato genérico que posee los 4 estados (0,1,X,Z) al declarar una variable Verilog como wire que posee los 4 estados de por sí, el logic estaría definido implícitamente.
- c) - = Es un blocking statement, lo que significa que en un bloque always la línea de código será forzada a seguir una línea secuencial, es decir, que antes de ejecutarse esa línea se debe haber ejecutado la anterior.
- <= es un non-blocking statement, lo que significa que en un bloque always, todas las líneas serán ejecutadas de forma paralela, por lo que no garantiza orden. Vale decir que es ejecutado en los cantos de subida del CLK.
-Assign es una asignación continua a un wire, fuera de los bloques always. Vale decir que el LHS ("Término de la izquierda") se actualiza cuando el RHS ("Término de la derecha") cambia.
- d) Reg, es el tipo de dato (registro) de la variable g, el cual tiene 16 bits, y tiene asignado un valor de 16 bits en hexadecimal, el cual equivale a 1010 0110 1011 0010
- e) Claramente podemos ver como las asignaciones dentro del bloque always influyen en el resultado ya que estas son quienes 'hacen el cambio', ya que por ejemplo, al primer canto de subida, tenemos que first = 1, por lo tanto second = 0, luego al bit número 1 de arr (esto debido a arr[first] con first valiendo 1), le asignamos el valor del bit 0 del mismo arreglo, es decir nos queda 0111. Sobre el delay no puedo argumentar mucho ya que no lo vimos en clases.

3.2

Estados iniciales:

$y_0 = 01110111$
 $x_0 = 00000000$
 $r = 000$
 $n_0 = 01110111$

1ra subida CLK:

$y_1 = 01110110$
 $x_1 = 00000000$
 $n_1 = 01100110$

2da subida CLK:

$$\begin{aligned}y_2 &= 01110100 \\x_2 &= 00000000 \\n_2 &= 01110100\end{aligned}$$

3da subida CLK:

$$\begin{aligned}y_3 &= 01110100 \\x_3 &= 00000000 \\n_3 &= 01110100\end{aligned}$$

4ta subida CLK:

$$\begin{aligned}y_4 &= 01110100 \\x_4 &= 00010000 \\n_4 &= 10000100\end{aligned}$$

5ta subida CLK:

$$\begin{aligned}y_5 &= 01100100 \\x_5 &= 00010000 \\n_5 &= 01110100\end{aligned}$$

6ta subida CLK:

$$\begin{aligned}y_6 &= 01000100 \\x_6 &= 00010000 \\n_6 &= 01010100\end{aligned}$$

7ta subida CLK:

$$\begin{aligned}y_7 &= 01000100 \\x_7 &= 00010000 \\n_7 &= 01010100\end{aligned}$$

8ta subida CLK:

$$\begin{aligned}y_8 &= 11000100 \\x_8 &= 00010001 \\n_8 &= 11010101\end{aligned}$$

9ta subida CLK:

$$\begin{aligned}y_9 &= 11000101 \\x_9 &= 00010011 \\n_9 &= 11011000\end{aligned}$$

10ma subida CLK:

$$\begin{aligned}y_{10} &= 11000101 \\x_{10} &= 00010111 \\n_{10} &= 11011100\end{aligned}$$

3.3



Vale decir que en la última foto en la parte superior del wave está el CLK, en el medio el contador, y abajo el n que sube en los números de fibonacci.