

# Pre-Informe 3

Cristóbal Missana Dávila  
201773058-7

## Pregunta 3.1

- a) Es un lenguaje utilizado para describir y modelar circuitos. La principal diferencia es que en éste no se programa, si no que solo se modela el comportamiento de un circuito. Un programa, por otra parte, se puede ejecutar.
- b) reg: representa variables con capacidad de almacenar información.  
wire: representa conexiones estructurales entre componentes. No tienen capacidad de almacenamiento.  
logic: usado en System Verilog para declarar todas las redes de punto a punto, todas las variables, todos los puertos de input y los de output.
- c) assign = : asignación a una conexión, fuera de un always.  
|= : asignación sin bloqueo, efectuada en cada subida del reloj, evaluada en paralelo (no hay orden).  
= : asignación con bloqueo, dentro de un always refuerza el orden secuencial.
- d) g es una variable representada con 16 bits, que almacena un valor hexadecimal 'A6B2', cuyo valor en decimal es 42674 y en binario es 1010 0110 1011 0010.
- e) Cuando first cambia, second también debería cambiar, pero arr mantiene el valor 0111, por lo que second todavía no ha cambiado para que arr tenga el valor que corresponda luego de las asignaciones.

## Pregunta 3.2

x	y	z	n	m	s	r
00000000	01110111	000	01110111	001	0	000
00000010	01110110	001	01111000	010	1	000
00000110	01110100	010	01111010	011	1	000
00000110	01110100	011	01111010	100	1	000
00010110	01110100	100	10001010	101	1	000
00110110	01100100	101	10011010	110	1	000
01110110	01000100	110	10111010	111	1	000
01110110	01000100	111	10111010	000	1	000
01110110	11000100	000	00111010	001	1	000
01110100	11000101	001	00111001	010	1	000
01110100	11000101	010	00111001	011	1	000

La primera fila son las variables, la segunda son sus valores iniciales. De la fila 3 en adelante son cada iteración. El valor marcado del final es el resultado.

### Pregunta 3.3